

PATTERN ARRANGEMENT METHOD FOR STENCIL MASK AND METHOD FOR MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT USING THE SAME

Publication number: JP2001117214

Publication date: 2001-04-27

Inventor: TO YOICHI

Applicant: SEMICONDUCTOR LEADING EDGE TEC

Classification:

- international: G03F1/16; H01L21/027; H01L21/82; G03F1/16;
H01L21/02; H01L21/70; (IPC1-7): G03F1/16;
H01L21/027

- european:

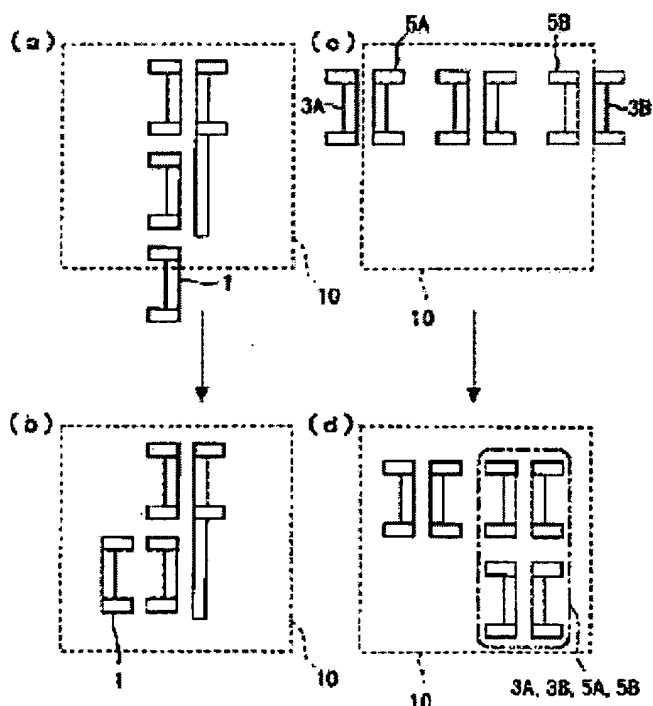
Application number: JP19990292023 19991014

Priority number(s): JP19990292023 19991014

Report a data error here

Abstract of JP2001117214

PROBLEM TO BE SOLVED: To provide a pattern arrangement method for stencil masks which previously executes the optimum arrangement circuit patterns from a design stage so as to allow the efficient selection of the circuit patterns arranged on the stencil masks used for direct electron beam drawing technique and draws the circuit patterns of high throughput on a wafer with the least possible correction and exchange of the stencil masks and a method for manufacturing semiconductor integrated circuits using the same. **SOLUTION:** The libraries (basic units to make certain determined action) used in logic circuits put in compliance with a partial simultaneous exposure range (the exposure range previously determined by an electron beam lithography system) are put into this range by one each, by which the libraries or stencil masks optimum for the partial simultaneous method may be constituted.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-117214
(P2001-117214A)

(43)公開日 平成13年4月27日(2001.4.27)

(51)Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
G 0 3 F 1/16		C 0 3 F 1/16	B 2 H 0 9 5
H 0 1 L 21/027		H 0 1 L 21/30	5 4 1 S 5 F 0 5 6

審査請求 有 請求項の数7 O L (全 18 頁)

(21)出願番号 特願平11-292023

(22)出願日 平成11年10月14日(1999.10.14)

(71)出願人 597114926

株式会社半導体先端テクノロジーズ
神奈川県横浜市戸塚区吉田町292番地

(72)発明者 塘 洋一

神奈川県横浜市戸塚区吉田町292番地 株
式会社半導体先端テクノロジーズ内

(74)代理人 100082175

弁理士 高田 守 (外2名)

Fターム(参考) 2H095 BA08 BB02 BB31

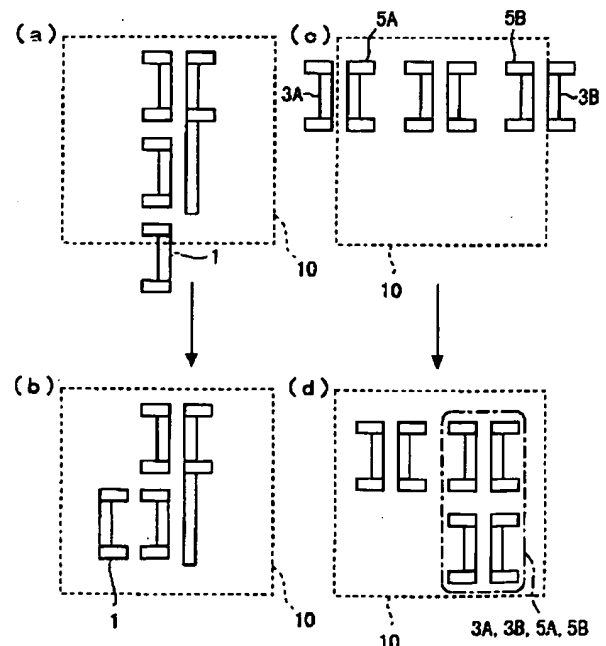
5F056 AA22 FA05 FA10

(54)【発明の名称】 ステンシルマスクのパターン配置方法およびそれを用いた半導体集積回路製造方法

(57)【要約】

【課題】 本発明は、電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法およびそれを用いた半導体集積回路製造方法を得る。

【解決手段】 部分一括露光範囲(電子線描画装置によりあらかじめ決まっている露光範囲)に合わせて、ロジック回路で使用されるライブラリ(ある決まった動作をする基本単位)をこの範囲の中に1つずつ入れ込むことにより、部分一括法に最適なライブラリおよびステンシルマスクが構成できる。



【特許請求の範囲】

【請求項1】 電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、

あらかじめ一括露光範囲に収容できるサイズに整形された回路パターンを配置する工程と、

前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするステンシルマスクのパターン配置方法。

【請求項2】 電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、

一括露光範囲に収容できるサイズより小さい大きさのライブラリが存在する場合に当該回路パターンの最も近い位置に配置される確率の最も高いもう一つのライブラリを合わせて配置する工程と、

あらかじめ一括露光範囲に収容できるサイズに整形された回路パターンを配置する工程と、

前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするステンシルマスクのパターン配置方法。

【請求項3】 電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、

基本となるライブラリと合わせて配置可能なライブラリが複数個存在する場合にこれらを融合する工程と、

あらかじめ一括露光範囲に収容できるサイズに整形された回路パターンを配置する工程と、

前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするステンシルマスクのパターン配置方法。

【請求項4】 電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や

交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、

一括露光範囲に収容できるサイズより大きいサイズのライブラリが存在する場合に、電子ビーム直接描画特有のショットつなぎが発生する部分につなぎ精度が問題となるような回路パターンの配置を禁ずる工程と、

あらかじめ一括露光範囲に収容できるサイズに整形された回路パターンを配置する工程と、

前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするステンシルマスクのパターン配置方法。

【請求項5】 電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、

一括露光範囲に収容できるサイズより大きいサイズのライブラリが存在する場合に、ステンシルマスクの部分一括範囲の外周部につなぎ精度が問題となるような回路パターンの配置を禁ずる工程と、

あらかじめ一括露光範囲に収容できるサイズに整形された回路パターンを配置する工程と、

前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするステンシルマスクのパターン配置方法。

【請求項6】 電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、

ステンシルマスクの各個のマスク製造歩留まりに応じ

て、配置する回路パターンの数を増減させる工程と、

前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするステンシルマスクのパターン配置方法。

【請求項7】 電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、

ステンシルマスクの各個のマスク製造歩留まりに応じて、配置する回路パターンを増減させる際に、製造歩留まりの低いものは配置する回路パターンの数を多く設定するとともに、製造歩留まりの高いものは配置する回路パターンの数を少なく設定する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするステンシルマスクのパターン配置方法。

【請求項8】 電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、

ステンシルマスクの各個のマスク製造歩留まりに応じて、配置する回路パターンを増減させる際に、製造歩留まりの低いものは配置する回路パターンの数を多く設定するとともに、製造歩留まりの高いものは配置する回路パターンの数を最低1個に設定する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするステンシルマスクのパターン配置方法。

【請求項9】 電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、

ステンシルマスクに収納されるライブラリのデバイスにおける登場頻度に応じて、配置する回路パターンの数を増減させる工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするステンシルマスクのパターン配置方法。

【請求項10】 電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、

配置する回路パターンの数を増減させる際に、登場頻度の高いものは配置する回路パターンの数を多く設定するとともに、登場頻度の低いものは配置する回路パターンの数を少なく設定する工程と、

前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするステンシルマスクのパターン配置方法。

【請求項11】 電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、

配置する回路パターンの数を増減させる際に、登場頻度の高いものは配置する回路パターンの数を多く設定するとともに、登場頻度の低いものは配置する回路パターンの数を最低1個に設定する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするステンシルマスクのパターン配置方法。

【請求項12】 電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクを用いた半導体集積回路製造方法であって、

あらかじめ一括露光範囲に収容できるサイズに整形された回路パターンを配置する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを当該整形して配置された回路パターンを用いてステンシルマスクのパターン配置を行う工程を用いてステンシルマスクを作成する第1の工程と、

当該パターン配置を有するステンシルマスクを用いて、電子ビームに感度を有する感光性樹脂組成物をあらかじめ塗布した基板上に部分一括描画機能を有する電子ビーム露光装置にて露光を行い、焼成、現像、リンス、乾燥を経て半導体集積回路の回路パターンを転写する第2の工程を有することを特徴とするステンシルマスクを用いた半導体集積回路製造方法。

【請求項13】 電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクを用いた半導体集積回路製造方法であって、

一括露光範囲に収容できるサイズより小さい大きさのライブラリが存在する場合に当該回路パターンの最も近い位置に配置される確率の最も高いもう一つのライブラリを合わせて配置する工程と、あらかじめ一括露光範囲に

収容できるサイズに整形された回路パターンを配置する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを当該整形して配置された回路パターンを用いてステンシルマスクのパターン配置を行う工程を用いてステンシルマスクを作成する第1の工程と、

当該パターン配置を有するステンシルマスクを用いて、電子ビームに感度を有する感光性樹脂組成物をあらかじめ塗布した基板上に部分一括描画機能を有する電子ビーム露光装置にて露光を行い、焼成、現像、リンス、乾燥を経て半導体集積回路の回路パターンを転写する第2の工程を有することを特徴とするステンシルマスクを用いた半導体集積回路製造方法。

【請求項14】 電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクを用いた半導体集積回路製造方法であって、

基本となるライブラリと合わせて配置可能なライブラリが複数個存在する場合にこれらを融合する工程と、あらかじめ一括露光範囲に収容できるサイズに整形された回路パターンを配置する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを当該整形して配置された回路パターンを用いてステンシルマスクのパターン配置を行う工程を用いてステンシルマスクを作成する第1の工程と、

当該パターン配置を有するステンシルマスクを用いて、電子ビームに感度を有する感光性樹脂組成物をあらかじめ塗布した基板上に部分一括描画機能を有する電子ビーム露光装置にて露光を行い、焼成、現像、リンス、乾燥を経て半導体集積回路の回路パターンを転写する第2の工程を有することを特徴とするステンシルマスクを用いた半導体集積回路製造方法。

【請求項15】 電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクを用いた半導体集積回路製造方法であって、

一括露光範囲に収容できるサイズより大きいサイズのライブラリが存在する場合に、電子ビーム直接描画特有のショットつなぎが発生する部分につなぎ精度が問題となるような回路パターンの配置を禁ずる工程と、あらかじめ一括露光範囲に収容できるサイズに整形された回路パターンを配置する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを当該整形して配置された回路パターンを用いてステンシ

ルマスクのパターン配置を行う工程を用いてステンシルマスクを作成する第1の工程と、

当該パターン配置を有するステンシルマスクを用いて、電子ビームに感度を有する感光性樹脂組成物をあらかじめ塗布した基板上に部分一括描画機能を有する電子ビーム露光装置にて露光を行い、焼成、現像、リンス、乾燥を経て半導体集積回路の回路パターンを転写する第2の工程を有することを特徴とするステンシルマスクを用いた半導体集積回路製造方法。

【請求項16】 電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクを用いた半導体集積回路製造方法であって、

ステンシルマスクの各個のマスク製造歩留まりに応じて、配置する回路パターンの数を増減させる工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを当該整形して配置された回路パターンを用いてステンシルマスクのパターン配置を行う工程を用いてステンシルマスクを作成する第1の工程と、

当該パターン配置を有するステンシルマスクを用いて、電子ビームに感度を有する感光性樹脂組成物をあらかじめ塗布した基板上に部分一括描画機能を有する電子ビーム露光装置にて露光を行う際に、複数個配置された同一の回路パターンを選択して描画を行う場合には、あらかじめ検査により合格となった回路パターンの部分を選択して露光を行い、焼成、現像、リンス、乾燥を経て半導体集積回路の回路パターンを転写する第2の工程を有することを特徴とするステンシルマスクを用いた半導体集積回路製造方法。

【請求項17】 電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクを用いた半導体集積回路製造方法であって、

ステンシルマスクに収納されるライブラリのデバイスにおける登場頻度に応じて、配置する回路パターンの数を増減させる工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを当該整形して配置された回路パターンを用いてステンシルマスクのパターン配置を行う工程を用いてステンシルマスクを作成する第1の工程と、

当該パターン配置を有するステンシルマスクを用いて、電子ビームに感度を有する感光性樹脂組成物をあらかじめ塗布した基板上に部分一括描画機能を有する電子ビー

ム露光装置にて露光を行う際に、複数個配置された同一回路パターンを選択して描画を行う場合には、使用量の蓄積とともに劣化して使用不能となった回路パターンを使用せず、使用可能な回路パターンを選択して露光を行い、焼成、現像、リンス、乾燥を経て半導体集積回路の回路パターンを転写する第2の工程を有することを特徴とするステンスルマスクを用いた半導体集積回路製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体集積回路製造に用いられる微細加工技術における電子ビーム直接描画技術に係り、特にキャラクタープロジェクションリソグラフィ技術、ブロック露光技術あるいは部分一括露光リソグラフィ技術とも呼ばれるセルフプロジェクションリソグラフィ技術に代表される電子ビーム直接描画技術に用いられるステンスルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンスルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハ上に描画するステンスルマスクのパターン配置方法およびそれを用いた半導体集積回路製造方法に関するものである。

【0002】

【従来の技術】半導体集積回路製造においては、従来から光によるマスクを用いた転写技術が主流として用いられてきた。その理由は、マスクによる転写が非常にスループットが高く、量産性に富んでいるためである。

【0003】一方、電子ビーム直接描画技術は、その高い解像性から先端デバイスの先行試作や少量生産の半導体集積回路製造には使用されているものの、スループットが低いという致命的欠点が克服できないため、大量生産される半導体集積回路の製造には使用されないで現在に至っている。

【0004】このような問題点を解消するために提案されたのが部分一括法である。この部分一括法は開発したデバイス製造会社により、キャラクタープロジェクション法、セルフプロジェクション法などいろいろな呼び名が付与されているが、本質的な方法は同一である。すなわち、電子ビーム直接描画法のスループットを改善するには、実際のショット数を低減することがポイントとなるため、比較的繰り返し出現するパターンをあらかじめマスクとして作成しておき、繰り返しパターン部分にはこのマスクを使用して露光を行い、繰り返しが少なくマスクがあらかじめ作成されていないパターンには電子ビーム直接描画法の特色でもあるパターン創成機能を利用して露光していくものである。このような部分一括法によれば、全部パターン創成機能を利用して露光するよりもショット数を低減できるので、スループット改善に寄与できる。

【0005】

【発明が解決しようとする課題】しかしながら、現状の半導体集積回路デバイス設計は常に光露光を前提にしているため、ショットをつないでいく電子ビーム直接描画法とは相性が悪く、つなぎ部分に微細なパターンが配置されていてつなぎ精度が問題となったり、もともと部分一括法を前提にしていないのでライブラリが部分一括範囲に合わせて設計されていないので部分一括マスクを作成しようとする切り出しを行うソフトウェアが必要になるといった多くの問題点があった。このため、電子ビーム直接描画法の処理速度改善の切り札として華々しく登場した部分一括法は、そのメリットを十分に発揮できず、産業上でもごく限られた分野にしか適用されていないのが現状である。

【0006】この発明は、もともとスループットが低い電子ビーム直接描画法の問題点を解決する目的で提案された部分一括法におけるパターン配置の効率的手法が確立されていないという問題点を解消するためになされたもので、半導体集積回路設計の段階から部分一括法の特徴に合わせたステンスルマスクのパターン配置方法、およびこのようなステンスルマスクのパターン配置方法を用いることにより光露光法に匹敵する高スループットを有し高い処理速度を実現できる半導体集積回路製造方法を得ることを目的とする。

【0007】そして他の目的は、電子ビーム直接描画技術に用いられるステンスルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンスルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハ上に描画するステンスルマスクのパターン配置方法およびそれを用いた半導体集積回路製造方法を提供する点にある。

【0008】

【課題を解決するための手段】この発明の請求項1記載の発明にかかるステンスルマスクのパターン配置方法は、電子ビーム直接描画技術に用いられるステンスルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンスルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハ上に描画するステンスルマスクのパターン配置方法であって、あらかじめ一括露光範囲に収容できるサイズに整形された回路パターンを配置する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンスルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするものである。

【0009】また、請求項2記載の発明にかかるステンスルマスクのパターン配置方法は、電子ビーム直接描画技術に用いられるステンスルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段

階から回路パターン之最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスルーブットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、一括露光範囲に収容できるサイズより小さいサイズのライブラリが存在する場合に当該回路パターンの最も近い位置に配置される確率の最も高いもう一つのライブラリを合わせて配置する工程と、あらかじめ一括露光範囲に収容できるサイズに整形された回路パターンを配置する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするものである。

【0010】また、請求項3記載の発明にかかるステンシルマスクのパターン配置方法は、電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターン之最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスルーブットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、基本となるライブラリと合わせて配置可能なライブラリが複数個存在する場合にこれらを融合する工程と、あらかじめ一括露光範囲に収容できるサイズに整形された回路パターンを配置する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするものである。

【0011】また、請求項4記載の発明にかかるステンシルマスクのパターン配置方法は、電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターン之最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスルーブットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、一括露光範囲に収容できるサイズより大きいサイズのライブラリが存在する場合に、電子ビーム直接描画特有のショットつなぎが発生する部分につなぎ精度が問題となるような回路パターンの配置を禁ずる工程と、あらかじめ一括露光範囲に収容できるサイズに整形された回路パターンを配置する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするものである。

【0012】また、請求項5記載の発明にかかるステンシルマスクのパターン配置方法は、電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターン之最適配置を行うとともに、ステン

シルマスクの修正や交換がなるべく少なくスルーブットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、一括露光範囲に収容できるサイズより大きいサイズのライブラリが存在する場合に、ステンシルマスクの部分一括範囲の外周部につなぎ精度が問題となるような回路パターンの配置を禁ずる工程と、あらかじめ一括露光範囲に収容できるサイズに整形された回路パターンを配置する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするものである。

【0013】また、請求項6記載の発明にかかるステンシルマスクのパターン配置方法は、電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターン之最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスルーブットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、ステンシルマスクの各個のマスク製造歩留まりに応じて、配置する回路パターンの数を増減させる工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするものである。

【0014】また、請求項7記載の発明にかかるステンシルマスクのパターン配置方法は、電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターン之最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスルーブットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、ステンシルマスクの各個のマスク製造歩留まりに応じて、配置する回路パターンの数を増減させる際に、製造歩留まりの低いものは配置する回路パターンの数を多く設定するとともに、製造歩留まりの高いものは配置する回路パターンの数を少なく設定する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするものである。

【0015】また、請求項8記載の発明にかかるステンシルマスクのパターン配置方法は、電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターン之最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスルーブットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、ステンシルマスクの各個のマスク製造歩留まりに応じて、配置する回路パ

ターンの数を増減させる際に、製造歩留まりの低いものは配置する回路パターンを多く設定するとともに、製造歩留まりの高いものは配置する回路パターンを最低1個に設定する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするものである。

【0016】また、請求項9記載の発明にかかるステンシルマスクのパターン配置方法は、電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、ステンシルマスクに収納されるライブラリのデバイスにおける登場頻度に応じて、配置する回路パターンの数を増減させる工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするものである。

【0017】また、請求項10記載の発明にかかるステンシルマスクのパターン配置方法は、電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、配置する回路パターンの数を増減させる際に、登場頻度の高いものは配置する回路パターンの数を多く設定するとともに、登場頻度の低いものは配置する回路パターンの数を少なく設定する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有することを特徴とするものである。

【0018】また、請求項11記載の発明にかかるステンシルマスクのパターン配置方法は、電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクのパターン配置方法であって、配置する回路パターンの数を増減させる際に、登場頻度の高いものは配置する回路パターンの数を多く設定するとともに、登場頻度の低いものは配置する回路パターンの数を最低1個に設定する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを整形して配置された回路パターンを用いて構成する工程を有す

ることを特徴とするものである。

【0019】また、請求項12記載の発明にかかるステンシルマスクを用いた半導体集積回路製造方法は、電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクを用いた半導体集積回路製造方法であって、あらかじめ一括露光範囲に収容できるサイズに整形された回路パターンを配置する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを当該整形して配置された回路パターンを用いてステンシルマスクのパターン配置を行う工程を用いてステンシルマスクを作成する第1の工程と、当該パターン配置を有するステンシルマスクを用いて、電子ビームに感度を有する感光性樹脂組成物をあらかじめ塗布した基板上に部分一括描画機能を有する電子ビーム露光装置にて露光を行い、焼成、現像、リンス、乾燥を経て半導体集積回路の回路パターンを転写する第2の工程を有することを特徴とするものである。

【0020】また、請求項13記載の発明にかかるステンシルマスクを用いた半導体集積回路製造方法は、電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクを用いた半導体集積回路製造方法であって、一括露光範囲に収容できるサイズより小さい大きさのライブラリが存在する場合に当該回路パターンの最も近い位置に配置される確率の最も高いもう一つのライブラリを合わせて配置する工程と、あらかじめ一括露光範囲に収容できるサイズに整形された回路パターンを配置する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを当該整形して配置された回路パターンを用いてステンシルマスクのパターン配置を行う工程を用いてステンシルマスクを作成する第1の工程と、当該パターン配置を有するステンシルマスクを用いて、電子ビームに感度を有する感光性樹脂組成物をあらかじめ塗布した基板上に部分一括描画機能を有する電子ビーム露光装置にて露光を行い、焼成、現像、リンス、乾燥を経て半導体集積回路の回路パターンを転写する第2の工程を有することを特徴とするものである。

【0021】また、請求項14記載の発明にかかるステンシルマスクを用いた半導体集積回路製造方法は、電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うと

ともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクを用いた半導体集積回路製造方法であって、基本となるライブラリと合わせて配置可能なライブラリが複数個存在する場合にこれらを融合する工程と、あらかじめ一括露光範囲に収容できるサイズに整形された回路パターンを配置する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを当該整形して配置された回路パターンを用いてステンシルマスクのパターン配置を行う工程を用いてステンシルマスクを作成する第1の工程と、当該パターン配置を有するステンシルマスクを用いて、電子ビームに感度を有する感光性樹脂組成物をあらかじめ塗布した基板上に部分一括描画機能を有する電子ビーム露光装置にて露光を行い、焼成、現像、リンス、乾燥を経て半導体集積回路の回路パターンを転写する第2の工程を有することを特徴とするものである。

【0022】また、請求項15記載の発明にかかるステンシルマスクを用いた半導体集積回路製造方法は、電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクを用いた半導体集積回路製造方法であって、一括露光範囲に収容できるサイズより大きいサイズのライブラリが存在する場合に、電子ビーム直接描画特有のショットつなぎが発生する部分につなぎ精度が問題となるような回路パターンの配置を禁ずる工程と、あらかじめ一括露光範囲に収容できるサイズに整形された回路パターンを配置する工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを当該整形して配置された回路パターンを用いてステンシルマスクのパターン配置を行う工程を用いてステンシルマスクを作成する第1の工程と、当該パターン配置を有するステンシルマスクを用いて、電子ビームに感度を有する感光性樹脂組成物をあらかじめ塗布した基板上に部分一括描画機能を有する電子ビーム露光装置にて露光を行い、焼成、現像、リンス、乾燥を経て半導体集積回路の回路パターンを転写する第2の工程を有することを特徴とするものである。

【0023】また、請求項16記載の発明にかかるステンシルマスクを用いた半導体集積回路製造方法は、電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクを用いた半導体集積回路製造方法であって、ステンシルマスクの各個のマスク製造歩留ま

りに応じて、配置する回路パターンの数を増減させる工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを当該整形して配置された回路パターンを用いてステンシルマスクのパターン配置を行う工程を用いてステンシルマスクを作成する第1の工程と、当該パターン配置を有するステンシルマスクを用いて、電子ビームに感度を有する感光性樹脂組成物をあらかじめ塗布した基板上に部分一括描画機能を有する電子ビーム露光装置にて露光を行う際に、複数個配置された同一の回路パターンを選択して描画を行う場合には、あらかじめ検査により合格となった回路パターンの部分を選択して露光を行い、焼成、現像、リンス、乾燥を経て半導体集積回路の回路パターンを転写する第2の工程を有することを特徴とするものである。

【0024】また、請求項17記載の発明にかかるステンシルマスクを用いた半導体集積回路製造方法は、電子ビーム直接描画技術に用いられるステンシルマスクに配置される回路パターンを効率的に選択できるように、あらかじめ設計段階から回路パターンの最適配置を行うとともに、ステンシルマスクの修正や交換がなるべく少なくスループットの高い回路パターンをウエハー上に描画するステンシルマスクを用いた半導体集積回路製造方法であって、ステンシルマスクに収納されるライブラリのデバイスにおける登場頻度に応じて、配置する回路パターンの数を増減させる工程と、前記電子ビーム直接描画技術のうち部分一括法に使用される前記ステンシルマスクを当該整形して配置された回路パターンを用いてステンシルマスクのパターン配置を行う工程を用いてステンシルマスクを作成する第1の工程と、当該パターン配置を有するステンシルマスクを用いて、電子ビームに感度を有する感光性樹脂組成物をあらかじめ塗布した基板上に部分一括描画機能を有する電子ビーム露光装置にて露光を行う際に、複数個配置された同一回路パターンを選択して描画を行う場合には、使用量の蓄積とともに劣化して使用不能となった回路パターンを使用せず、使用可能な回路パターンを選択して露光を行い、焼成、現像、リンス、乾燥を経て半導体集積回路の回路パターンを転写する第2の工程を有することを特徴とするものである。

【0025】

【発明の実施の形態】ライブラリ1個に対し1個のステンシルマスクパターンをあてがう方法では、面積利用効率は悪くなるものの、各々のライブラリに対するステンシルマスクが対応しているので、ライブラリは整然と決まったピッチで並ぶため、部分一括描画法を生かすことができる。このような配慮がなされていない通常のロジック回路の設計手法にてライブラリを配置する方法では、たとえ高さ方向が一定に制限されていたとしても、横幅が自由に変ってしまうため、でき上がったデバイス回路パターンから部分一括露光用のステンシルマスク

パターンを抽出しようとするときに多大な困難を伴う（ほとんど不可能である）。

【0026】またライブラリ複数個に対し1個のステンシルマスクの部分一括範囲をあてがう方法では、ライブラリ1個が1個のステンシルマスクの部分一括範囲にあてがわれている場合（1：1の対応）に比べて、すなわち上記の場合よりも面積利用効率も高く、また隣り合うライブラリ同士も最も隣り合う確率が高いものが配置されているため、部分一括効率を損なうことなく、高速の処理が可能となるのである。この場合、基準となるライブラリが選択され、その隣にくるライブラリが、複数選ばれたライブラリ以外である場合もあるため、若干無駄になる面積も発生するが1：1対応のものも準備しておく必要があることは言うまでもない。

【0027】また機能が豊富で面積が大きいライブラリを分割して、部分一括露光用ステンシルマスクに収納する場合、先に述べたような配慮がなされていれば、つなぎ部分に回路において重要な部分が配置されていないため、実際にパターン形成を行っても回路動作的に問題が生じることが少ない。このような配慮がなされておらず、単純に分割したものでは、回路動作的に重要な部分（例えばゲート）につなぎがきて、つなぎ精度による線幅変動等が発生し、問題が生じたり、最終的なデバイス製造歩留まりが悪化したりすることが想定できる。

【0028】ところで、ステンシルマスクも製造に電子ビーム直接描画技術を利用するため、必ずしも1回で無欠陥のステンシルマスクを得ることは難しい。欠陥修正も、通常の光露光用マスク（クロムが合成石英にのったもの）と比べて容易ではない。ステンシルマスクのパターン配置を、収納するライブラリの製造歩留まりに応じて増減して配置してあれば、少ないやりなおし回数で所望のステンシルマスクの電子線描画により、目的のステンシルマスクが入手でき、複雑なマスク修正等をできるだけ少なくして早い納期でステンシルマスクを得ることが可能となる。具体的作用としては、例えばある特定のライブラリを配置したステンシルマスクを想定した場合、そのライブラリがマスク製造上あまり歩留まりが悪くない場合には1個配置しておけば問題はないが、製造歩留まりが悪い場合には、複数個配置されていれば、その中から良品のものが見つかる可能性が高くなる。

【0029】また電子線照射によるステンシルマスクの損傷を考慮してあるライブラリの複数配置の方法を用いれば、たとえ損傷によりある特定の（使用頻度の高い）ライブラリが使用不能となっても、代替のステンシルマスクの部分一括部分が準備されているため、煩雑なステンシルマスクの交換（あるいは再作成）を行うことなく電子線直接描画が継続できるため、生産性向上に寄与できる。具体的には、ある特定の使用頻度の高いライブラリを1個しか配置していないステンシルマスクと2個配置してあるステンシルマスクでは、前者はこのライブラ

リ部分が電子線により損傷を受けて、正常なパターン転写が不可能になった場合には、ステンシルマスク全体を良品と交換する必要があるが、後者のように2個配置してあれば、片方が使用不可能になったとしても、もう一方のステンシルマスクパターンにて部分一括描画が継続することが可能となるのである。以下、図面に基づき本発明の各種実施の形態を説明する。

【0030】実施の形態1. 以下、この発明の実施の形態1を図面に基づいて詳細に説明する。図1は本発明の実施の形態1に係るステンシルマスクのパターン配置方法を説明するための概念図であって、自由に設計されているロジック回路用ライブラリを部分一括露光範囲に合わせて再構築したときの概念を示している。図1において、1、3A、3B、5A、5Bのそれぞれは回路パターン、10は部分一括露光範囲を示している。

【0031】図1を参照すると、上記課題を解決するために本実施の形態では、まず、ライブラリ設計段階から、部分一括露光機能を有する電子ビーム露光装置の部分一括露光範囲10（通常は正方形で $5 \times 5 \mu\text{m}$ などの大きさ）に合わせて各種パターンを配置する点に特徴を有している。

【0032】これにより、ライブラリの規模によらず一定の面積で機能を実現できるとともに、ライブラリは常に縦方向も横方向も一定のピッチで並ぶため、部分一括露光機能を有する電子ビーム露光装置の部分一括露光範囲10と等しい間隔を保つことができるようになるといった効果を奏する。

【0033】具体的には、図1（a）に示すような部分一括露光に配慮していないライブラリに含まれる縦にはみ出す回路パターン1を、図1（b）に示すような電子ビーム露光装置の部分一括露光範囲10に合わせて各種パターンを配置する。同様に、図1（c）に示すような部分一括露光に配慮していないライブラリに含まれる横にはみ出す回路パターン3A、3Bについても、図1（d）に示すような電子ビーム露光装置の部分一括露光範囲10に合わせた回路パターン〔3A、3B、5A、5B〕を配置する。

【0034】以上説明したように実施の形態1によれば、部分一括露光範囲（電子線描画装置によりあらかじめ決まっている：通常 $5 \times 5 \mu\text{m}$ 等の正方形である）に合わせて、ロジック回路で使用されるライブラリ（ある決まった動作をする基本単位）をこの範囲の中に1つつ入れ込むことにより、部分一括法に最適なライブラリおよびステンシルマスクが構成できるようになるといった効果を奏する。この場合、ライブラリの必要面積はその機能によりさまざまであるので、光露光を前提にしたマスクのように隙間を埋め尽くすことはできない（小さいライブラリの場合は無駄になる面積が発生する）。しかしながら、この面積の無駄と引き替えに部分一括法を効率良く使うことができるようになる。

【0035】実施の形態2。以下、この発明の実施の形態2を図面に基づいて詳細に説明する。なお、上記実施の形態において既に記述したものと同一の部分については、同一符号を付し、重複した説明は省略する。図2は本発明の実施の形態2に係るステンシルマスクのパターン配置方法を説明するための概念図である。本実施の形態では、図2に示すように、部分一括露光範囲10よりも必要面積が小さいライブラリをステンシルマスクに埋め込む際に、空いた余剰部分に追加のライブラリ（元になるライブラリに対し隣り合う確率の高いライブラリ）をさらに埋め込んだときに、全体の大きさはちょうど部分一括露光範囲10の中に収まるようにしたケースを想定して説明を進める。図2において、21は余剰面積部分、23A、23Bは回路パターン、25A、25Bはライブラリ、27はライブラリを示している。

【0036】図2を参照すると、上記課題を解決するために本実施の形態では、図2(a)のライブラリ25Aや図2(b)のライブラリ25Bに示すように、ライブラリ25A、25Bの機能が単純であって必要面積が部分一括露光範囲10よりも少なく余剰面積部分21が存在する場合（回路パターン23A、23Bが少なく必要面積が少ない場合）に、図2(c)に示すように、当該特定のライブラリ25Aの隣に、当該特定のライブラリの隣にくる確率が最も高い別のライブラリ25Bを合わせて配置し、当該2つのライブラリ25A、25Bが部分一括露光範囲10内に収まるようにした新たなライブラリ27を生成している点に特徴を有している。なお、さらに面積に余裕があるときには、追加で入りきる限度数以内のライブラリ（不図示）を配置してもかまわない。

【0037】これにより、面積利用効率を向上することができる。極端な例を挙げれば、部分一括露光範囲10よりもはるかに小さいDRAMセルライブラリなどでは、複数のセルの繰り返しを部分一括露光範囲10内に収めることで描画効率を向上させることができるようになるといった効果を奏する。

【0038】以上説明したように実施の形態2によれば、必要面積の小さいライブラリには、そのライブラリの隣に来る確率の高いライブラリを1つあるいは複数隣に配置してステンシルマスクの1つとすれば、無駄な面積を削除できるようになるといった効果を奏する。

【0039】一方、上記実施の形態2は、ライブラリの必要面積はその機能によりさまざまであるので、光露光を前提にしたマスクのように隙間を埋め尽くすことはできず、小さいライブラリの場合は無駄になる面積が発生する。しかしながら、実施の形態1は当該面積の無駄と引き替えに部分一括法を効率良く使うことができる。

【0040】実施の形態3。以下、この発明の実施の形態3を図面に基づいて詳細に説明する。なお、上記実施の形態において既に記述したものと同一の部分について

は、同一符号を付し、重複した説明は省略する。図3は本発明の実施の形態3に係るステンシルマスクのパターン配置方法を説明するための概念図である。本実施の形態では、図3に示すように、部分一括露光範囲10よりも必要面積が大きいライブラリを、つながりが問題とならぬように分割して、複数のステンシルマスク部分一括露光範囲10に収納するようにしたケースを想定して説明を進める。図3において、31は回路パターン、Bは分割位置を示している。

【0041】図3を参照すると、上記課題を解決するために本実施の形態では、図3(a)に示すようにライブラリの機能が複雑であって部分一括露光範囲10内に収まらない場合は、ライブラリを2つ以上に分割位置Bで分割してパターン配置をしたステンシルマスクを作成する必要がある。ステンシルマスクを作成する場合、図3(b)に示すように、分割する部位（分割位置B）にある回路パターン31をあらかじめ設計段階から、分割位置Bで分割されても問題のないようなパターン配置とする点に特徴を有している。

【0042】これにより、部分一括描画におけるつながりの問題を回避できるようになるといった効果を奏する。具体的には、分割位置Bにゲート電極のパターンをもってこない、あるいはもってくるとしても、接続孔がおちる通称座布団の部分をもって来る等の配慮をすることで部分一括描画におけるつながりの問題を回避できるようになる。

【0043】以上説明したように実施の形態3によれば、部分一括範囲に収容不可能なほど大きいライブラリの場合には、接続部分に回路の重要な部分、すなわち、つながりが発生してほしくない部分が来ないように配慮した設計を行うことにより、部分一括法に適したライブラリの分割が可能となるといった効果を奏する。光露光が前提の設計をなされたライブラリでは、たとえステンシルマスクのためのデータ切り出しソフトウェアを利用しても、どこに位置にも任意の回路が配慮なく配置されているため、このようなことはできない。

【0044】一方、上記実施の形態3は、ライブラリの必要面積はその機能によりさまざまであるので、光露光を前提にしたマスクのように隙間を埋め尽くすことはできず、小さいライブラリの場合は無駄になる面積が発生する。しかしながら、実施の形態1は当該面積の無駄と引き替えに部分一括法を効率良く使うことができる。

【0045】実施の形態4。以下、この発明の実施の形態4を図面に基づいて詳細に説明する。なお、上記実施の形態において既に記述したものと同一の部分については、同一符号を付し、重複した説明は省略する。図4は本発明の実施の形態4に係るステンシルマスクのパターン配置方法を説明するための概念図である。本実施の形態では、図4に示すように、複数のライブラリが収納されたステンシルマスクにおいて、よりマスク製造が難し

い(換言すれば、歩留まりが低い)ライブラリの数を多く、よりマスク製造が易しい(歩留まりが高い)ライブラリの数を少なく(最低1個)並べてあるケースを想定して説明を進める。図4において、41、43、45はそれぞれライブラリを示している。

【0046】図4を参照すると、部分一括描画機能を有する電子ビーム露光装置では、複数の部分一括露光範囲10、…、10に収納されたパターン(ステンシルマスクパターン)をこのようなステンシルマスク内に配置できるのが通常であるが、本実施の形態では、当該複数の部分一括露光範囲10、…、10内パターンを配置する方法に工夫を加えている。そのうちの一つの方法を本実施の形態で説明し、他の配置方法を実施の形態5で説明することにする。

【0047】上記配置方法の一つの方法である本実施の形態は、複数のステンシルマスクパターンのうち、より製造歩留まりの悪い回路パターンを配置する数を増やしてやる配置方法である。すなわち、あらかじめ製造歩留まりがライブラリ41、43、45ごとに判明している場合に、歩留まりがXパーセント未満のものは1個ではなく2個、歩留まりがXパーセント以上のものは1個といったような単純な規則で配置するような方法がある。また、配置できるライブラリ数に余裕がある場合には、歩留まりが悪いものは3個以上配置するようなこともできるが、いずれにしても部分一括法で描画したいライブラリは極力収納できることが前提となる。

【0048】例えば、図4に示すように、最も製造歩留まりの低いライブラリ41には回路パターンを5個配置し、ライブラリ41の次に製造歩留まりの低いライブラリ43には回路パターンを3個配置し、その他のライブラリ45には回路パターンを1個配置する。

【0049】一方、あらかじめ製造歩留まりがライブラリ41、43、45ごとに判明していない場合には、パターンの複雑さや、ステンシルマスクの製造困難さの度合いに応じて調整することも可能である。パターンの複雑さや、ステンシルマスクの製造困難さは具体的に数値化するのは難しいが、より細かい線幅のパターンが多く含まれるとか、90度に曲がったパターンが多く存在する等を参考にして調整できる。

【0050】以上説明したよう実施の形態4によれば、あらかじめ歩留まりが低いと予想される、あるいは生産管理データから歩留まりが低いとわかっているステンシルマスクの特定のライブラリ部分に対して、その製造歩留まりに応じて数を多めに調整する(作り込む)ことにより、ステンシルマスク全体を再作成する手間を省くことができるようになるといった効果を奏する。従来、ステンシルマスクそのものも電子ビーム直接描画によりパターン作成を行うため完全に無欠陥のものを作成するのは難しかった。

【0051】実施の形態5。以下、この発明の実施の形

態5を図面に基づいて詳細に説明する。なお、上記実施の形態において既に記述したものと同一の部分については、同一符号を付し、重複した説明は省略する。図5は本発明の実施の形態5に係るステンシルマスクのパターン配置方法を説明するための概念図である。本実施の形態では、図5に示すように、複数のライブラリが収納されたステンシルマスクにおいて、デバイス描画を行う際に、より使用頻度の高いライブラリの数を多く、より使用頻度の低いライブラリの数を少なく(最低1個)並べてあるケースを想定して説明を進める。図5において、51、53、55はそれぞれライブラリを示している。

【0052】図5を参照すると、上記実施の形態4の他のもう一つの配置方法は、より使用頻度の高い(デバイスにて登場頻度の高いライブラリを意味する)ステンシルマスクパターンは1個だけではなく2個以上(複数個)配置しておく方法である。その理由は、使用されるステンシルマスクパターン(複数個)は、必ずしも均等に露光されるわけではないからである。

【0053】例えば、図5に示すように、最も使用頻度の高いライブラリ51には回路パターンを5個配置し、ライブラリ51の次に使用頻度の高いライブラリ53には回路パターンを3個配置し、その他のライブラリ55には回路パターンを1個配置する。

【0054】現状ではこの収納可能パターン数は数十から100個程度と少なく、上記のような工夫をする余地はあまりないが、将来はこの収納可能数が数百となることが既にアナウンスされており、これは現在一般的にロジック回路設計に用いられているライブラリ数(やはり数百といわれている)に匹敵するところとなり、このような工夫が有効となるのである。

【0055】以上説明したよう実施の形態5によれば、電子ビーム直接描画で損傷を受け使用に耐えなくなったステンシルマスクの特定ライブラリ部分にあらかじめスペアを準備しておくことで、煩雑なステンシルマスクの交換をすることなくスペア部分を使って描画できるようになるといった効果を奏する。近年の電子ビーム直接描画技術では、ステンシルマスクは電子線が照射されるために損傷が激しいことがあり、この損傷の度合いは、最も電子線照射を多く受けた部位(ライブラリ)が大きかった。

【0056】以上説明したように構成された上記実施の形態は以下に掲げる効果を奏する。まず第1の効果は、ステンシルマスクに入れ込む実際のデバイスパターンの効率的な配置が可能となることである。その理由は、ライブラリ1個に対して複数のステンシルマスクの一括露光部分を配置する場合、部分一括露光法を前提にしている設計(光露光前提:任意の位置に任意の回路パターンを配置)に比べて、回路パターン配置に若干の制限は加わるもののステンシルマスクのショットつなぎ部分に接続精度や線幅精度が懸念されるパターンが配置される

ことがないため、実際のデバイス製造において問題を起こすこと（接続部分のパターン変形、ずれ、寸法変動等）が少なくなるからである。

【0057】また第2の効果は、ライブラリ複数個に対して1個のステンシルマスクの部分一括範囲をあてがうため、ライブラリ1個が1個のステンシルマスクの部分一括範囲にあてがわれている場合に比べて面積利用効率も高くでき、また隣り合うライブラリ同士も最も確率が高いものが配置されているため、部分一括効率を損なうことなく、高速の処理が可能となることである。

【0058】また第3の効果は、収納するライブラリの製造歩留まりに応じて、ステンシルマスクのパターン配置を増減して配置してあれば、少ない回数の所望のステンシルマスクの電子線描画により、目的のステンシルマスクが入手でき、複雑なマスク修正等をできるだけ少なくして早い納期でステンシルマスクを得ることが可能となることである。

【0059】また第4の効果は、煩雑なステンシルマスクの交換（あるいは再作成）を行うことなく電子線直接描画が継続でき、生産性向上に寄与できることである。その理由は、電子線照射によるステンシルマスクの損傷を考慮してライブラリの複数配置を行うため、たとえ損傷によりある特定の（使用頻度の高い）ライブラリが使用不能となっても、代替のステンシルマスクの部分一括部分が準備されているからである。

【0060】そして第5の効果は、本発明を適用することにより、従来の光リソグラフィ技術に匹敵する処理速度で電子ビーム露光技術を製造適用可能となり、短波長化による解像限界の縮小化による延命がそろそろ危ぶまれている光リソグラフィ技術を置き換えて、電子ビームリソグラフィ技術が生産技術として工業的に広く用いられる基礎を築くことが可能となることである。

【0061】なお、本発明が上記各実施の形態に限定されず、本発明の技術思想の範囲内において、各実施の形態は適宜変更され得ることは明らかである。また上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等に行うことができる。また、各図において、同一構成要素には同一符号を付している。

【0062】

【実施例】以下、図面に基づき本発明のステンシルマスクのパターン配置方法およびそれを用いた半導体集積回路製造方法の各種実施例を具体的な数値あるいは具体的な装置を含めて説明する。

【0063】実施例1. 以下、この発明の実施例1を詳細に説明する。0.13 μ mデザインルールで設計された83万ゲートの大規模ロジックデバイス（例えば、チップサイズ4.23 \times 4.23mmの大規模ロジックデバイス）について、内容を調べたところ、使用されているライブラリの種類は284種類であった。また占有面

積別に調べたところ、いわゆるロジックライブラリで構成されている部分が83%で、残り17%が設計者によるいわゆる“手置き”によるものであった。この部分一括描画に配慮していないライブラリで構築されているデバイスのゲートレイヤを取り出し、部分一括描画用ステンシルマスクデータ抽出ソフトウェアにて、共通パターンを5 \times 5 μ m角に取り出す操作を行ったところ、ライブラリのパターン配置が部分一括描画に配慮していないことが災いして、共通パターン（2個以上存在する）として抽出されたものはわずか32種類で、これが占有する面積は全体のわずか6%であった。

【0064】そこで、本実施例では、全てのライブラリを、5 \times 5 μ m内に収容できるものはこのサイズに、収容できないものは5 \times 5 μ m領域の整数倍になるように再構築した。ただし、収容できないものについては、つなぎの部分にゲートの動作上重要な部分がこないような配慮はこの段階ではなされていない。この結果、上記デバイスに使用されているライブラリのうちで5 \times 5 μ m角内に収容できたライブラリは106個となり、その残りについては複数個の5 \times 5 μ m角が必要であった。

【0065】再構築したライブラリを用いて上記デバイスを再構築したところ、チップサイズは6.51 \times 6.51mmと拡大したが、このデバイスのゲートレイヤを取り出し、同様にして部分一括描画用ステンシルマスクデータ抽出ソフトウェアを用いて共通パターンを5 \times 5 μ m角に取り出す操作を行ったところ、共通パターンとして抽出されたものは、5 \times 5 μ m角内に収容できたライブラリも含めて135種類であり、この共通パターンとして抽出されたものが占有する面積は全体の7.2%であった。

【0066】現状の部分一括露光機能を有する電子ビーム直接描画装置では、上記のような多数のライブラリをステンシルマスク上に配置しても、これを全て選択することができない機能を有しているものは存在しないが、このような配慮をすることにより、部分一括描画率を上げることができることが検証できた。これにより、ウェハー1枚あたりの描画時間を飛躍的に短縮することが可能となる。

【0067】なお、デザインルールを0.07 μ mとして直線的に回路パターンを縮小する方法では、ライブラリの動作そのものは保証されていないが、再構築したライブラリを用い同様な共通パターンを5 \times 5 μ m角に収める操作を行った場合、上記106個のライブラリに加えて123個のライブラリがやはり5 \times 5 μ m内に収納できることがわかった。これにより、上記デバイスでは284個中229個のライブラリが部分一括露光範囲に収納できることがわかった。したがって、デザインルールが縮小され、デバイスの世代が進むほど、本発明のステンシルマスクのパターン配置方法およびそれを用いた半導体集積回路製造方法が有効であることがわかつ

た。

【0068】実施例2. 以下、この発明の実施例2を詳細に説明する。 $5 \times 5 \mu\text{m}$ 領域に収納できるライブラリのうち、単純な回路（例えばインバーター）で構成されており必要面積が上記領域の半分以下で済むものを、上記実施例1で使用されているライブラリ284個の中から取り出すと63個であった。これらのものについて、これらのライブラリが選択された位置で、その隣に来る確率が最も高いもう一つのライブラリ（ただし、同一の場合もありうる）でしかもやはり必要面積が半分以下で収納可能なものがある場合のみ、2つのライブラリを合体し $5 \times 5 \mu\text{m}$ 内に収納できるような、新しいライブラリを作成した。

【0069】この新しいライブラリを用いて実施例1のデバイスを再構築すると、上記のような面積利用効率を上げるための操作を行っているため、実際のチップサイズは $5.38 \times 5.38 \text{mm}$ となり、実施例1の場合に比べてチップサイズは縮小できることが分かった。従って、必要ライブラリ数は増加するが、チップ面積縮小には有効であることが判明した。このときの部分一括描画率は72%で変化なかった。

【0070】また、同一ライブラリで複数個並ぶことが多いインバーターなどを、 $5 \times 5 \mu\text{m}$ の面積内に2個だけでなく3個、4個というように複数個並べた新たなライブラリを追加した。これを利用するとチップサイズは $5.03 \times 5.03 \text{mm}$ となった。このとき、必要ライブラリ数は増加するが、部分一括描画率は72%で変化なかった。

【0071】実施例3. 以下、この発明の実施例3を詳細に説明する。上記実施例1では、部分一括領域複数個に分割されたものは、そのつなぎ位置を配慮していないため、ゲート配線の真中で分割されているものが半分以上存在していた。これをそのまま描画すると、形成されたレジストパターンは描画装置のつなぎ精度に依存して、ショットつなぎ位置にふくらみや細りやずれが発生していた。そこで、本実施例では、つなぎ部分にはできるだけゲート配線の重要部分がこないようにライブラリを再構成した。具体的には、ゲート配線がつなぎ部分にこない、つなぎ部分にどうしてもくる場合にはできるだけ上層配線との接続孔がくる座布団の部分にする、つなぎ部分に活性層ではなく素子分離層がくるといった配慮をした。

【0072】このようにして作成されたライブラリにて、上記実施例1のデバイスを再構築した結果、必要面積等は変化なかったが、つなぎ部分に重要な回路部分がこないため、つなぎ精度をあまり気にする必要がないことが分かった。

【0073】実施例4. 以下、この発明の実施例4を詳細に説明する。本実施例では、モデル実験として、ライブラリ数が9個のステンシルマスク作成実験を行った。

各々の $5 \times 5 \mu\text{m}$ 角（マスク上では、倍率25倍なので $125 \times 125 \mu\text{m}$ ）の領域に、 $0.13 \mu\text{m}$ デザインルールでロジックライブラリのうち、斜めゲートが5個、90度に折れ曲がったL字形のパターンが3つあり、ステンシルマスク製造歩留まりが悪いことが予想されるライブラリをそれぞれ9つずつ配置した。ステンシルマスク製造後、低加速走査型電子顕微鏡にてこれらのステンシルマスクを詳細に調べたところ、9つ中3つからステンシルパターン部分の突起や欠けが見つかった。従って、このライブラリの製造歩留まりは約33%と予想できた。

【0074】次に、このパターンを9つ入れたマスクを10個作成し、歩留まりについて検証した。左上から右方向に検査し、一番上の列3つの検査が終わったら、真中の列を左から検査し、最後に一番下の列をやはり左から右方向に検査するという方法で検査した。一番上の列3つのみに着目して良品が得られるものを抽出した。最初の左上のもので良品（突起や欠けがないもの）が得られたものは10個中2つであった。左上とその右隣のものの2つの中から良品が得られたものは10個中5つであった。さらに上の列すべて（3個）の中から良品が得られたものは9個であった。以上より、ステンシルマスク製造歩留まりに応じてライブラリマスクの数を増加させると、全体のマスクの製造歩留まりが向上できることが確認された。

【0075】実施例5. 以下、この発明の実施例5を詳細に説明する。本実施例では、モデル実験として、ステンシルマスク寿命実験を行った。 $5 \times 5 \mu\text{m}$ 角（マスク上では、倍率25倍なので $125 \times 125 \mu\text{m}$ ）の領域にあるライブラリパターンを入れ込んだステンシルマスクを作成した。最も使用されるライブラリとして200mmシリコンウエハー1枚に 1×10^8 ショット描画すること、またレジスト感度として $10 \mu\text{C}/\text{cm}^2$ を想定した。このマスクを実際の部分一括描画機能を有する電子ビーム露光装置HL800D（日立製）に装着し、ダミーウエハーによる連続描画（すなわち、部分一括露光のみを繰り返し行う）加速試験を行った。

【0076】加速試験のために、ステンシルマスクには放熱/電荷を逃がすための金の蒸着を意図的に通常の膜厚の1/10にしたものを使用した。なお、実際の描画では、さまざまなステンシルマスクが順次選択され、可変整形ビームで描画することも組み合わせられるため、このように連続的に放熱の余裕がないほど1つのステンシルマスクによる描画が行われることはない。また金も決められた膜厚で蒸着されている。

【0077】 3×10^9 ショット（ウエハーに換算して30枚）分の電子ビーム照射を行った後に、ステンシルマスクを走査型電子顕微鏡にて検査したところ、まだステンシルマスクのパターン部分が溶融している部分は見られなかった。しかしながら、連続的に 5×10^9 ショ

ット（ウエハーに換算して50枚）分の照射したものは、パターンのコーナー部分にシリコンが溶解したと思われる変形箇所が3か所見つかった。

【0078】このようにステンシルマスクには、特に過酷な条件で使用されると寿命があることがわかった。したがって、使用頻度の高いライブラリのステンシルマスクでは同一パターンを複数個導入しておくことは、デバイス製造における連続使用を想定した場合非常に有効であることが判明した。

【0079】なお、本発明が上記各実施例に限定されず、本発明の技術思想の範囲内において、各実施例は適宜変更され得ることは明かである。また上記構成部材の数、位置、形状等は上記実施例に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができる。また、各図において、同一構成要素には同一符号を付している。

【0080】

【発明の効果】本発明は以上のように構成されているので、以下に掲げる効果を奏する。まず第1の効果は、ステンシルマスクに入れ込む実際のデバイスパターンの効率的な配置が可能となることである。その理由は、ライブラリ1個に対して複数のステンシルマスクの一括露光部分を配置する場合、部分一括露光法を前提にしていない設計（光露光前提：任意の位置に任意の回路パターンを配置）に比べて、回路パターン配置に若干の制限は加わるもののステンシルマスクのショットつなぎ部分に接続精度や線幅精度が懸念されるパターンが配置されることがないため、実際のデバイス製造において問題を起こすこと（接続部分のパターン変形、ずれ、寸法変動等）が少なくなるからである。

【0081】また第2の効果は、ライブラリ複数個に対して1個のステンシルマスクの部分一括範囲をあてがうため、ライブラリ1個が1個のステンシルマスクの部分一括範囲にあてがわれている場合に比べて面積利用効率も高くでき、また隣り合うライブラリ同士も最も確率が高いものが配置されているため、部分一括効率を損なうことなく、高速の処理が可能となることである。

【0082】また第3の効果は、収納するライブラリの

製造歩留まりに応じて、ステンシルマスクのパターン配置を増減して配置してあれば、少ない回数の所望のステンシルマスクの電子線描画により、目的のステンシルマスクが入手でき、複雑なマスク修正等をできるだけ少なくして早い納期でステンシルマスクを得ることが可能となることである。

【0083】また第4の効果は、煩雑なステンシルマスクの交換（あるいは再作成）を行うことなく電子線直接描画が継続でき、生産性向上に寄与することである。その理由は、電子線照射によるステンシルマスクの損傷を考慮してライブラリの複数配置を行うため、たとえ損傷によりある特定の（使用頻度の高い）ライブラリが使用不能となっても、代替のステンシルマスクの部分一括部分が準備されているからである。

【0084】そして第5の効果は、本発明を適用することにより、従来の光リソグラフィ技術に匹敵する処理速度で電子ビーム露光技術を製造適用可能となり、短波長化による解像限界の縮小化による延命がそろそろ危ぶまれている光リソグラフィ技術を置き換えて、電子ビームリソグラフィ技術が生産技術として工業的に広く用いられる基礎を築くことが可能となることである。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係るステンシルマスクのパターン配置方法を説明するための概念図である。

【図2】 本発明の実施の形態2に係るステンシルマスクのパターン配置方法を説明するための概念図である。

【図3】 本発明の実施の形態3に係るステンシルマスクのパターン配置方法を説明するための概念図である。

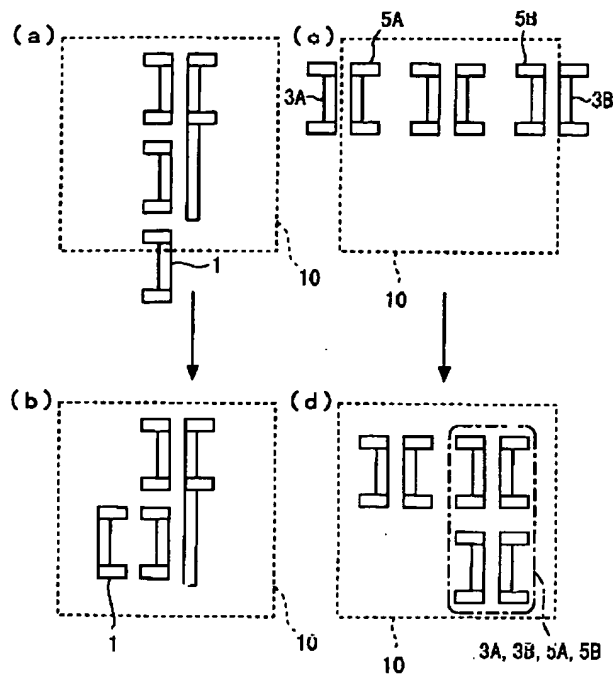
【図4】 本発明の実施の形態4に係るステンシルマスクのパターン配置方法を説明するための概念図である。

【図5】 本発明の実施の形態5に係るステンシルマスクのパターン配置方法を説明するための概念図である。

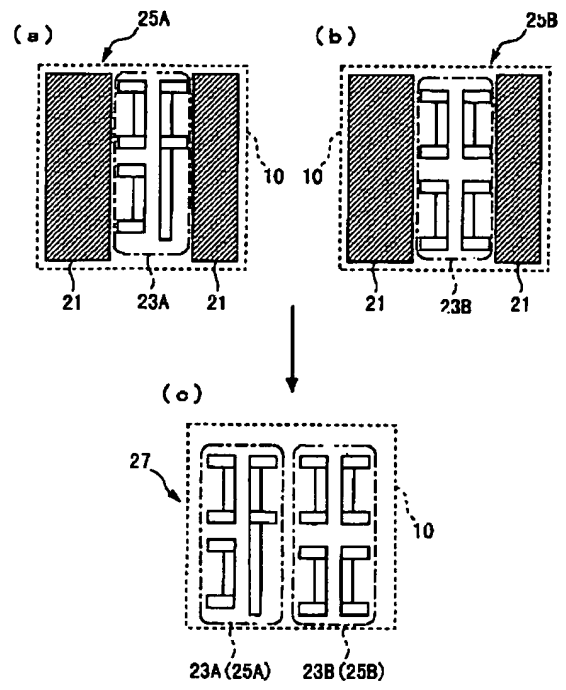
【符号の説明】

1, 3A, 3B, 5A, 5B 回路パターン、 10 部分一括露光範囲、 21 余剰面積部分、 23A, 23B 回路パターン、 25A, 25B, 27ライブラリ、 31 回路パターン、 41, 43, 45, 51, 53, 55ライブラリ、 B 分割位置。

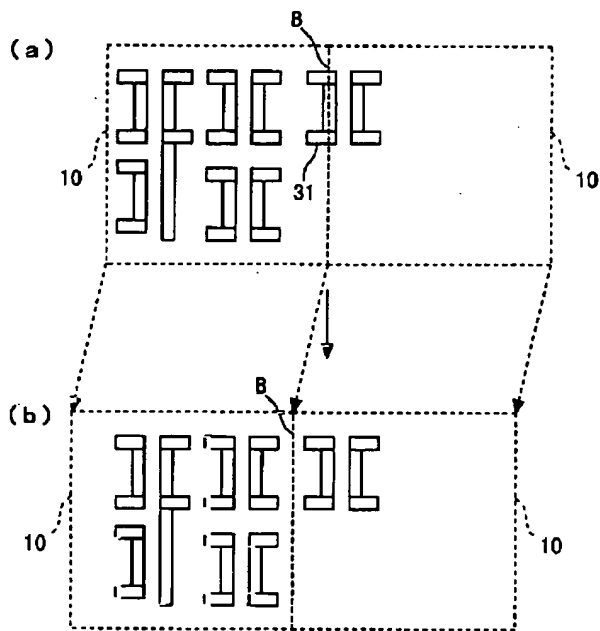
【図1】



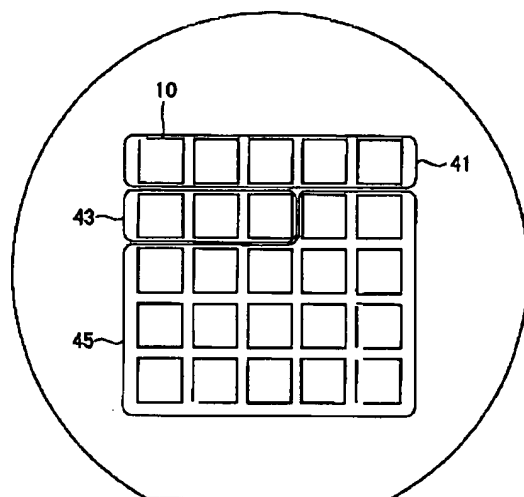
【図2】



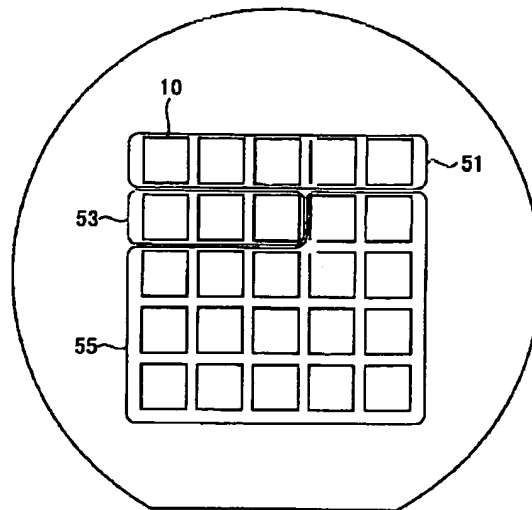
【図3】



【図4】



【図5】



【手続補正書】

【提出日】平成12年6月15日（2000. 6. 15）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 電子ビーム直接描画技術において部分一括露光を用いるステンシルマスクのパターン配置方法であって、

ロジック回路で使用されそれぞれ決まった動作をする回路基本単位の回路パターンをそれぞれ部分一括露光範囲に収容できるサイズに形成し、前記部分一括露光範囲に収容された回路パターンを複数配置することを特徴とするロジック回路用ステンシルマスクのパターン配置方法。

【請求項2】 それぞれ決まった動作をする複数の回路基本単位の複数の回路パターンを一つの一括露光範囲に収容できるサイズに形成し、前記一つの一括露光範囲に収容された回路パターンをさらに配置することを特徴とする請求項1に記載のロジック回路用ステンシルマスクのパターン配置方法。

【請求項3】 電子ビーム直接描画技術において部分一括露光を用いるステンシルマスクのパターン配置方法であって、ロジック回路で使用され決まった動作をする回路基本単位の回路パターンを分割位置のつながりが問題とならぬように分割して二以上の一括露光範囲に収容できるサイズ

に形成し、

前記二以上の一括露光範囲に収容された回路パターンをさらに配置することを特徴とする請求項1または2に記載のロジック回路用ステンシルマスクのパターン配置方法。

【請求項4】 前記一括露光範囲に収容された回路パターンのうち、マスク製造が難しい回路基本単位の回路パターンを多く配置しマスク製造が易しい回路基本単位の回路パターンを少なく配置することを特徴とする請求項1～3のいずれかに記載のロジック回路用ステンシルマスクのパターン配置方法。

【請求項5】 前記一括露光範囲に収容された回路パターンのうち、使用頻度が高い回路基本単位の回路パターンを多く配置し、使用頻度が低い回路基本単位の回路パターンを少なく配置することを特徴とする請求項1～3のいずれかに記載のロジック回路用ステンシルマスクのパターン配置方法。

【請求項6】 請求項1～5のいずれかに記載のロジック回路用ステンシルマスクのパターン配置方法によってパターン配置をしたことを特徴とするロジック回路用ステンシルマスク。

【請求項7】 請求項6に記載のロジック回路用ステンシルマスクを用いて製造したことを特徴とする半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】

【課題を解決するための手段】この発明の請求項1記載の発明にかかるロジック回路用ステンシルマスクのパターン配置方法は、電子ビーム直接描画技術において部分一括露光を用いるステンシルマスクのパターン配置方法であって、ロジック回路で使用されそれぞれ決まった動作をする回路基本単位の回路パターンをそれぞれ部分一括露光範囲に収容できるサイズに形成し、前記部分一括露光範囲に収容された回路パターンを複数配置することを特徴とするものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】また、請求項2記載の発明にかかるロジック回路用ステンシルマスクのパターン配置方法は、請求項1に記載の方法において、それぞれ決まった動作をする複数の回路基本単位の複数の回路パターンを一つの一括露光範囲に収容できるサイズに形成し、前記一つの一括露光範囲に収容された回路パターンをさらに配置することを特徴とするものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】また、請求項3記載の発明にかかるロジック回路用ステンシルマスクのパターン配置方法は、請求項1または2に記載の方法において、電子ビーム直接描画技術において部分一括露光を用いるステンシルマスクのパターン配置方法であって、ロジック回路で使用され決まった動作をする回路基本単位の回路パターンを分割位置のつながりが問題とならぬように分割して二以上の一括露光範囲に収容できるサイズに形成し、前記二以上の一括露光範囲に収容された回路パターンをさらに配置することを特徴とするものである。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】また、請求項4記載の発明にかかるロジック回路用ステンシルマスクのパターン配置方法は、請求項1～3のいずれかに記載の方法において、前記一括露光範囲に収容された回路パターンのうち、マスク製造が難しい回路基本単位の回路パターンを多く配置しマスク製造が易しい回路基本単位の回路パターンを少なく配置することを特徴とするものである。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】また、請求項5記載の発明にかかるロジック回路用ステンシルマスクのパターン配置方法は、請求項1～3のいずれかに記載の方法において、前記一括露光範囲に収容された回路パターンのうち、使用頻度が高い回路基本単位の回路パターンを多く配置し、使用頻度が低い回路基本単位の回路パターンを少なく配置することを特徴とするものである。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】また、請求項6記載の発明にかかるロジック回路用ステンシルマスクは、請求項1～5のいずれかに記載のロジック回路用ステンシルマスクのパターン配置方法によってパターン配置をしたことを特徴とするものである。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】また、請求項7記載の発明にかかる半導体装置は、請求項6に記載のロジック回路用ステンシルマスクを用いて製造したことを特徴とするものである。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】削除

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】削除

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】削除

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】削除

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】削除

【手続補正14】

【補正対象書類名】明細書
【補正対象項目名】0020
【補正方法】削除
【手続補正15】
【補正対象書類名】明細書
【補正対象項目名】0021
【補正方法】削除
【手続補正16】
【補正対象書類名】明細書
【補正対象項目名】0022
【補正方法】削除
【手続補正17】
【補正対象書類名】明細書
【補正対象項目名】0023
【補正方法】削除
【手続補正18】
【補正対象書類名】明細書
【補正対象項目名】0024
【補正方法】削除
【手続補正19】
【補正対象書類名】明細書

【補正対象項目名】0039
【補正方法】変更
【補正内容】
【0039】一方、上記実施の形態2は、ライブラリの必要面積はその機能によりさまざまであるので、光露光を前提にしたマスクのように隙間を埋め尽くすことはできず、小さいライブラリの場合は無駄になる面積が発生する。しかしながら、実施の形態2は当該面積の無駄と引き替えに部分一括法を効率良く使うことができる。
【手続補正20】
【補正対象書類名】明細書
【補正対象項目名】0052
【補正方法】変更
【補正内容】
【0052】図5を参照すると、実施の形態5の配置方法は、より使用頻度の高い（デバイスにて登場頻度の高いライブラリを意味する）ステンシルマスクパターンは1個だけではなく2個以上（複数個）配置しておく方法である。その理由は、使用されるステンシルマスクパターン（複数個）は、必ずしも均等に露光されるわけではないからである。